

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月21日
Date of Application:

出願番号 特願2003-044817
Application Number:

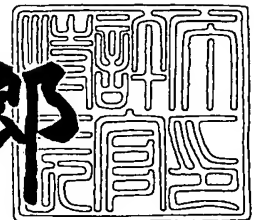
[ST. 10/C]: [JP 2003-044817]

出願人 松下電器産業株式会社
Applicant(s):

2003年 7月10日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3056458

【書類名】 特許願

【整理番号】 2925540022

【提出日】 平成15年 2月21日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/76
H01L 27/146

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 太田 宗吾

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 内田 幹也

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 110000040

【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

【代表者】 池内 寛幸

【電話番号】 06-6135-6051

【手数料の表示】

【予納台帳番号】 139757

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0108331

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板にマトリックス状に配置された複数の画素セルと

各画素セルを駆動するために設けられた駆動手段とを具備しており、

各画素セルは、入射光を信号電荷に変換して蓄積するフォトダイオードと、

前記フォトダイオードに蓄積された前記信号電荷を読み出すために設けられた
1 個以上の MOS トランジスタと、

前記フォトダイオードと前記 MOS トランジスタとを分離するように前記半導
体基板を掘り込んだ STI (Shallow Trench Isolation)
n) によって形成された素子分離部とを含んでおり、

前記半導体基板には、前記 MOS トランジスタにおけるソースドレイン領域の
導電型と反対の導電型の不純物が導入されている STI リークストップパが前記素
子分離部の側壁と底面とを囲むように形成されていることを特徴とする固体撮像
装置。

【請求項 2】 前記素子分離部は、前記フォトダイオードと、前記フォトダ
イオードが含まれる前記画素セルに隣接する画素セルに含まれるフォトダイオード
とを分離するように形成されている、請求項 1 記載の固体撮像装置。

【請求項 3】 前記 1 個以上の MOS トランジスタは、複数の MOS トラン
ジスタであり、

前記素子分離部は、前記複数の MOS トランジスタのうちの 1 つと前記複数の
MOS トランジスタのうちの他の 1 つとを分離するように形成されている、請求
項 1 記載の固体撮像装置。

【請求項 4】 前記 STI リークストップパの厚みは、0.01 マイクロメー
トル (μm) 以上になっている、請求項 1 記載の固体撮像装置。

【請求項 5】 前記 STI リークストップパの厚みは、0.02 マイクロメー
トル (μm) 以上になっている、請求項 1 記載の固体撮像装置。

【請求項 6】 前記駆動手段は、前記複数の画素セルを行方向に沿って駆動

する垂直駆動回路と、

前記複数の画素セルを列方向に沿って駆動する水平駆動回路とを含んでいる、請求項 1 記載の固体撮像装置。

【請求項 7】 前記フォトダイオードは、p 層と n 層と p 層とが前記半導体基板の表面側からこの順番に形成された埋め込み型のフォトダイオードであり、

前記 STI リークストップは、前記フォトダイオードの前記 p 層とつながるように形成されている、請求項 1 記載の固体撮像装置。

【請求項 8】 前記駆動手段を構成する MOS トランジスタは、NMOS トランジスタである、請求項 1 記載の固体撮像装置。

【請求項 9】 前記駆動手段を構成する NMOS トランジスタは、NMOS ダイナミックロジック回路を構成している、請求項 8 記載の固体撮像装置。

【請求項 10】 前記複数の画素セルを微細に形成するための微細化デザインルールは、0.25 マイクロメートル (μm) 以下になっている、請求項 1 記載の固体撮像装置。

【請求項 11】 前記素子分離部の前記底面における前記 STI リークストップの厚みは、前記素子分離部の前記側壁における前記 STI リークストップの厚みよりも厚い、請求項 1 記載の固体撮像装置。

【請求項 12】 前記 STI リークストップに導入されている前記不純物のピーク濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上である、請求項 1 記載の固体撮像装置。

【請求項 13】 前記 STI リークストップに導入されている前記不純物のピーク濃度は、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上である、請求項 1 記載の固体撮像装置。

【請求項 14】 請求項 1 記載の固体撮像装置の製造方法であって、前記フォトダイオードと前記 MOS トランジスタとを分離するために前記半導体基板を掘り込んで溝を形成する溝形成工程と、

前記溝の側壁と底面とを囲むように前記 STI リークストップを形成するために、前記溝にイオンを注入するイオン注入工程と、

前記 STI (Shallow Trench Isolation) によって形成された前記素子分離部を前記溝に形成する素子分離部形成工程と、

前記素子分離部形成工程の後で、前記フォトダイオードを前記半導体基板に形成するフォトダイオード形成工程と、

前記素子分離部によって前記フォトダイオードと分離されるように前記MOSトランジスタを前記半導体基板に形成するMOSトランジスタ形成工程とを包含することを特徴とする固体撮像装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、増幅型MOSトランジスタが設けられた固体撮像装置およびその製造方法に関する。

【0002】

【従来の技術】

増幅型MOSトランジスタが設けられた固体撮像装置が近年注目されている。この固体撮像装置は、各画素ごとに、フォトダイオードによって検出された信号をMOSトランジスタによって増幅するものであり、高感度という特徴を有している。

【0003】

図9は、従来の固体撮像装置90の構成を示す回路図である。固体撮像装置90は、半導体基板7にマトリックス状に配置された複数の画素セル96を備えている。各画素セル96は、入射光を信号電荷に変換して蓄積するフォトダイオード3をそれぞれ有している。各画素セル96には、フォトダイオード3に蓄積された信号電荷を読み出すための転送トランジスタ4がそれぞれ設けられている。

【0004】

各画素セル96は、増幅トランジスタ14を有している。増幅トランジスタ14は、転送トランジスタ4によって読み出された信号電荷を増幅する。各画素セル96には、リセットトランジスタ15が設けられている。リセットトランジスタ15は、転送トランジスタ4によって読み出された信号電荷をリセットする。

【0005】

固体撮像装置90は、垂直駆動回路12を備えている。垂直駆動回路12には

、複数のリセットトランジスタ制御線 111 が接続されている。各リセットトランジスタ制御線 111 は、水平方向に沿って配置された各画素セル 96 に設けられたリセットトランジスタ 15 と接続するように、それぞれが所定の間隔を空けて互いに平行に水平方向に沿って配置されている。垂直駆動回路 12 には、複数の垂直選択トランジスタ制御線 121 がさらに接続されている。各垂直選択トランジスタ制御線 121 は、水平方向に沿って配置された各画素セル 96 に設けられた垂直選択トランジスタと接続するように、それぞれが所定の間隔を空けて互いに平行に水平方向に沿って配置されており、信号を読み出す行を決定する。

【0006】

垂直選択トランジスタのソースは、垂直信号線 61 に接続されている。各垂直信号線 61 の一端には、負荷トランジスタ群 17 が接続されている。各垂直信号線 61 の他端は、行信号蓄積部 18 に接続されている。行信号蓄積部 18 は、1 行分の信号を取り込むためのスイッチトランジスタを含んでいる。行信号蓄積部 18 には、水平駆動回路 13 が接続されている。

【0007】

図 10 は、従来の固体撮像装置 90 の動作を説明するためのタイミングチャートである。

【0008】

垂直選択トランジスタ制御線 121 をハイレベルにするための行選択パルス 101-1 が印加されると、選択された行における垂直選択トランジスタがオンし、選択された行における増幅トランジスタ 14 と負荷トランジスタ群 17 とによってソースフォロワ回路が構成される。

【0009】

そして、行選択パルス 101-1 がハイレベルの間に、リセットトランジスタ制御線 111 をハイレベルにするためのリセットパルス 102-1 を印加することによって、増幅トランジスタ 14 のゲートが接続されている浮遊拡散層の電位をリセットする。次に、行選択パルス 101-1 がハイレベルの間に、転送トランジスタ制御線をハイレベルにするために転送パルス 103-1 を印加することによって、フォトダイオード 3 に蓄積された信号電荷を浮遊拡散層へ転送する。

【0010】

この時、浮遊拡散層に接続された増幅トランジスタ14のゲート電圧は、浮遊拡散層の電位と等しくなり、このゲート電圧と実質的に等しい電圧が垂直信号線61に現れる。そして、フォトダイオード3に蓄積された信号電荷に基づく信号を行信号蓄積部18へ転送する。

【0011】

次に、水平駆動回路13は、列選択パルス106-1-1、106-1-2、…を順次発生し、行信号蓄積部18へ転送された信号を1行分の出力信号107-1として取り出す。

【0012】

図11は従来の固体撮像装置90の画素セル96に設けられたフォトダイオード3と転送トランジスタ4との構成を説明するための平面図であり、図12は図11に示される面PPに沿った断面図である。

【0013】

フォトダイオード3と転送トランジスタ4との間には、フォトダイオード3と転送トランジスタ4とを分離するように、半導体基板7を掘り込んだSTI (Shallow Trench Isolation) によって素子分離部92が形成されている。

【0014】

転送トランジスタ4は、半導体基板7の上に形成されたゲート電極53と、ゲート電極53の両側の半導体基板7の表面に形成されたソースドレイン領域5とを有している。

【0015】

フォトダイオード3と、このフォトダイオード3が含まれる画素セル96に隣接する画素セル96に含まれるフォトダイオード3とを分離するように、素子分離部92Aが形成されている。

【0016】

図13は素子分離部92の構成を説明するための断面図であり、図14は図13に示される面XYに沿った欠陥密度を示すグラフであり、図15は素子分離部

92とフォトダイオード3との構成を説明するための模式断面図である。

【0017】

フォトダイオード3は、p+層8とn層9とp層10とが半導体基板7の表面側からこの順番に形成された埋め込み型のフォトダイオードである。

【0018】

MOS型のセンサの性能が悪い理由の一つは、p+層8とn層9とp層10とがpn接合しているフォトダイオード3へ素子分離部92から逆方向リーク電流89が流れることである。半導体基板7に発生する結晶欠陥およびストレスが原因となってこの逆方向リーク電流が増加する。

【0019】

MOSトランジスタの構造において最も結晶欠陥やストレスを発生しているものは素子分離部92および92Aであることが判明していた。

【0020】

このような結晶欠陥として従来よく知られているのが、素子分離部92の近傍における半導体基板7の表面の角に発生する結晶欠陥52である。次に最近問題になっているのが、素子分離部92の下側に発生する結晶欠陥53である。

【0021】

このような結晶欠陥52および結晶欠陥53の大きさは、約0.5マイクロメートル(μm)程度以上あり、大きなものである。これらの欠陥は、MOSトランジスタの性能を劣化させるので熱工程によるアニール等によって抑圧されているけれども、いまだに大きな問題の一つであることに変わりない。

【0022】

図14に示すように、素子分離部92と半導体基板7との間の界面を図13に示す断面XYに沿って詳しく解析すると、結晶欠陥52および結晶欠陥53に起因する小さい欠陥が分布していることが判明した。この欠陥は非常に小さいもので、従来のMOSトランジスタでは全く問題にならない。

【0023】

図14を詳しく見ると、素子分離部92と半導体基板7との間の界面に接する場所に存在する従来からよく知られた界面欠陥層94と、STIのストレスに起

因するものと考えられるSTIストレス欠陥層95とが観測される。STIストレス欠陥層95は、前述したSTIストレスによりSTIの端に局所的に発生する結晶欠陥52および結晶欠陥53とは異なり、素子分離部92と半導体基板7との間の界面近くに分布している。

【0024】

結晶欠陥52および結晶欠陥53は、STIの端に必ず発生するものでなく、半導体チップの中にいくつか分布して発生するもので、その発生した場所の周辺の半導体基板ではストレスが開放されるため、STIストレス欠陥層95が小さくなるという現象もある。これらの因果関係は明確に解析されているものではなく、明確に観測できないケースもある。しかしその大小を問わず、STIストレス欠陥層95は0.01 μ 程度の深さまで、分布の裾をいれると0.02マイクロメートル(μ m)まで発生している。

【0025】

【特許文献1】

特開2001-345439号公報

【0026】

【発明が解決しようとする課題】

このようなSTI素子分離部2および2Aが設けられたMOS型固定撮像装置では、結晶欠陥52および結晶欠陥53は、再生画面上において数個から数千個の白い出力の大きい点欠陥に見える。その数はSTIの形成方法や撮像装置の規模による。

【0027】

STIストレス欠陥層95は、逆リーク電流89を生じさせるので、再生画面上において小さな不均一なムラに観測される。

【0028】

従来、前者の結晶欠陥52および結晶欠陥53による局所的な点欠陥が問題であったけれども、最近のデジタル技術の進歩によって、数の少ない結晶欠陥52および結晶欠陥53による白傷は補正することができるようになったので、大きな問題ではなくなってきた。

【0029】

しかしながら、STI ストレス欠陥層 95 による小さな不均一なムラを補正しようとする、画面全体にわたって発生するムラを補正するために大容量のメモリが必要になる。このため、補正するためのシステムのコストが大きくなるという問題がある。

【0030】

本発明の目的は、再生画面上のムラの小さい高性能な固体撮像装置およびその製造方法を提供することにある。

【0031】

【課題を解決するための手段】

本発明に係る固体撮像装置は、半導体基板にマトリックス状に配置された複数の画素セルと、各画素セルを駆動するために設けられた駆動手段とを具備しており、各画素セルは、入射光を信号電荷に変換して蓄積するフォトダイオードと、前記フォトダイオードに蓄積された前記信号電荷を読み出すために設けられた 1 個以上の MOS トランジスタと、前記フォトダイオードと前記 MOS トランジスタとを分離するように前記半導体基板を掘り込んだ STI (Shallow Trench Isolation) によって形成された素子分離部とを含んでおり、前記半導体基板には、前記 MOS トランジスタにおけるソースドレイン領域の導電型と反対の導電型の不純物が導入されている STI リークストップが前記素子分離部の側壁と底面とを囲むように形成されていることを特徴とする。

【0032】

本発明に係る固体撮像装置の製造方法は、本発明に係るの固体撮像装置の製造方法であって、前記フォトダイオードと前記 MOS トランジスタとを分離するために前記半導体基板を掘り込んで溝を形成する溝形成工程と、前記溝の側壁と底面とを囲むように前記 STI リークストップを形成するために、前記溝にイオンを注入するイオン注入工程と、前記 STI (Shallow Trench Isolation) によって形成された前記素子分離部を前記溝に形成する素子分離部形成工程と、前記素子分離部形成工程の後で、前記フォトダイオードを前記半導体基板に形成するフォトダイオード形成工程と、前記素子分離部によって

前記フォトダイオードと分離されるように前記MOSトランジスタを前記半導体基板に形成するMOSトランジスタ形成工程とを包含することを特徴とする。

【0033】

【発明の実施の形態】

本実施の形態に係る固体撮像装置においては、MOSトランジスタにおけるソースドレイン領域の導電型と反対の導電型の不純物が導入されているSTIリークストッパが素子分離部の側壁と底面とを囲むように半導体基板に形成されている。このため、素子分離部からフォトダイオードへリーク電流が流れることがSTIリークストッパによって阻止される。その結果、再生画面におけるムラが小さい高性能な固体撮像装置を得ることができる。

【0034】

この実施の形態では、前記素子分離部は、前記フォトダイオードと、前記フォトダイオードが含まれる前記画素セルに隣接する画素セルに含まれるフォトダイオードとを分離するように形成されていることが好ましい。

【0035】

前記1個以上のMOSトランジスタは、複数のMOSトランジスタであり、前記素子分離部は、前記複数のMOSトランジスタのうちの1つと前記複数のMOSトランジスタのうちの他の1つとを分離するように形成されていることが好ましい。

【0036】

前記STIリークストッパの厚みは、0.01マイクロメートル(μm)以上になっていることが好ましい。

【0037】

前記STIリークストッパの厚みは、0.02マイクロメートル(μm)以上になっていることが好ましい。

【0038】

前記駆動手段は、前記複数の画素セルを行方向に沿って駆動する垂直駆動回路と、前記複数の画素セルを列方向に沿って駆動する水平駆動回路とを含んでいる。

。

【0039】

前記フォトダイオードは、p+層とn層とp層とが前記半導体基板の表面側からこの順番に形成された埋め込み型のフォトダイオードであり、前記STIリークストップパは、前記フォトダイオードの前記p+層とつながるように形成されていることが好ましい。

【0040】

前記駆動手段を構成するMOSトランジスタは、NMOSトランジスタであることが好ましい。

【0041】

前記素子分離部の前記底面における前記STIリークストップパの厚みは、前記素子分離部の前記側壁における前記STIリークストップパの厚みよりも厚いことが好ましい。

【0042】

前記STIリークストップパに導入されている前記不純物のピーク濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上であることが好ましい。

【0043】

前記STIリークストップパに導入されている前記不純物のピーク濃度は、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上であることが好ましい。

【0044】

本実施の形態に係るの製造方法においては、フォトダイオードとMOSトランジスタとを分離するための溝の側壁と底面とを囲むようにSTIリークストップパを形成するために、溝にイオンが注入される。このため、素子分離部からフォトダイオードへリーク電流が流れることが、形成されたSTIリークストップパによって阻止される。その結果、再生画面におけるムラが小さい高性能な固体撮像装置を得ることができる。

【0045】

以下、図面を参照して本発明の実施の形態を説明する。

【0046】

図1は、本実施の形態に係る固体撮像装置100の構成を示す回路図である。

【0047】

固体撮像装置100は、半導体基板7にマトリックス状に配置された複数の画素セル6を備えている。各画素セル6は、入射光を信号電荷に変換して蓄積するフォトダイオード3をそれぞれ有している。各画素セル6には、フォトダイオード3に蓄積された信号電荷を読み出すための転送トランジスタ4がそれぞれ設けられている。

【0048】

各画素セル6は、増幅トランジスタ14を有している。増幅トランジスタ14は、転送トランジスタ4によって読み出された信号電荷を増幅する。各画素セル6には、リセットトランジスタ15が設けられている。リセットトランジスタ15は、転送トランジスタ4によって読み出された信号電荷をリセットする。

【0049】

固体撮像装置100は、垂直駆動回路12を備えている。垂直駆動回路12には、複数のリセットトランジスタ制御線111が接続されている。各リセットトランジスタ制御線111は、水平方向に沿って配置された各画素セル6に設けられたリセットトランジスタ15と接続するように、それぞれが所定の間隔を空けて互いに平行に水平方向に沿って配置されている。垂直駆動回路12には、複数の垂直選択トランジスタ制御線121がさらに接続されている。各垂直選択トランジスタ制御線121は、水平方向に沿って配置された各画素セル96に設けられた垂直選択トランジスタと接続するように、それぞれが所定の間隔を空けて互いに平行に水平方向に沿って配置されており、信号を読み出す行を決定する。

【0050】

垂直選択トランジスタのソースは、垂直信号線61に接続されている。各垂直信号線61の一端には、負荷トランジスタ群17が接続されている。各垂直信号線61の他端は、行信号蓄積部18に接続されている。行信号蓄積部18は、1行分の信号を取り込むためのスイッチトランジスタを含んでいる。行信号蓄積部18には、水平駆動回路13が接続されている。

【0051】

図2は本実施の形態に係る固体撮像装置100の画素セル6に設けられたフォ

トダイオード3と転送トランジスタ4との構成を説明するための平面図であり、図3は図2に示す面AAに沿った断面図である。

【0052】

フォトダイオード3と転送トランジスタ4の間には、フォトダイオード3と転送トランジスタ4とを分離するように半導体基板7を掘り込んだSTI (Shallow Trench Isolation) によって素子分離部2が形成されている。

【0053】

転送トランジスタ4は、半導体基板7の上に形成されたゲート電極53と、ゲート電極53の両側の半導体基板7の表面に形成されたソースドレイン領域5とを有している。

【0054】

フォトダイオード3と、このフォトダイオード3が含まれる画素セル96に隣接する画素セル96に含まれるフォトダイオード3とを分離するように素子分離部2Aが形成されている。

【0055】

図4は本実施の形態に係る固体撮像装置100の画素セル6に設けられた素子分離部2とSTIリークストッパー1との構成を説明するための断面図であり、図5は図4に示される面XYに沿った欠陥密度を示すグラフであり、図6は素子分離部2とSTIリークストッパー1とフォトダイオード3との構成を説明するための模式断面図である。

【0056】

半導体基板7には、図2および図3を参照して前述した転送トランジスタ4におけるソースドレイン領域5の導電型と反対の導電型の不純物が導入されているSTIリークストッパ1が、素子分離部2の側壁と底面とを囲むように形成されている。STIリークストッパ1の厚みは、0.01マイクロメートル(μm)以上になっている。STIリークストッパ1の厚みが0.01マイクロメートル(μm)以上になっていると、図5に示すように、STIストレス欠陥層95のほとんどを覆うことができる。

【0057】

STIリークストッパ1の厚みは、0.02マイクロメートル(μm)以上になっていることがより好ましい。図5の破線56に示すようにSTIストレス欠陥層95を完全に覆うことができるからである。

【0058】

フォトダイオード3は、p+層8とn層9とp層10とが半導体基板7の表面側からこの順番に形成された埋め込み型のフォトダイオードである。STIリークストッパ1は、フォトダイオード3のp+層8とつながるように形成されていることが好ましい。STIリークストッパ1がフォトダイオード3のp+層8と物理的に離れていると、その部分からpn接合逆方向リーク電流が発生するおそれがあるからである。また、STIリークストッパ1がフォトダイオード3のp+層8と電氣的に結合していないと、埋め込みフォトダイオードのp+層8が電氣的に浮遊してしまうため、電圧を電氣的に固定することができない。すなわち、何ボルト印加されているかわからないため、電氣的設計ができなくなる。また、フォトダイオード3の容量が小さくなることが予想され飽和が小さくなるという問題が発生する。

【0059】

このように、STIストレス欠陥層95をSTIリークストッパ1によって覆うことにより、図6に示すように素子分離部2の周辺から発生するpn接合逆方向リーク電流を抑圧することができる。このため、高性能なMOS型固体撮像装置を実現することができる。

【0060】

近年CMOSロジックが半導体の主流になったため、MOS型固体撮像装置はCMOSロジックによって構成される事が多い。このCMOSロジックは製造工程が長くかつ微細化によって工程が決められており、センサのために工程を変更することが非常に難しい。特に微細化されたCMOSロジックの工程では、p型チャネルのトランジスタの動作が難しい。その理由は、p型不純物であるボロンは質量が軽く、動きやすいため、半導体内部で小さく作るのが難しいからである。

。

【0061】

そのため、特に微細化したトランジスタを用いてセンサ特有の製造工程を作るには、NMOSのみで構成することが有利である。NMOSのみの回路を使うと一般に消費電力がCMOSに比べて大きくなるので、NMOSダイナミックロジック回路を使用する。このNMOSダイナミックロジック回路は、MOSの容量によって電圧を持ち上げるブートと言う動作を行うが、このMOS容量の部分もリーク電流が大きくなると動作しなくなる。すなわち本発明のリーク電流を低減する目的とまさに合致する。特に近年デジタルスチルカメラに応用される固体撮像素子は、長時間露光という非常にゆっくり動作させる動作モードを有している。そのためNMOSダイナミックロジックにおいても、リーク電流が小さい素子分離部を形成することが必須となる。

【0062】

ダイナミックロジック回路によって構成されたシフトレジスタ回路の例を図7に示す。動作はここでは省略するが、MOS容量21のリーク電流が大きいとゆっくりした動作ができなくなる。MOS容量21の素子分離に本発明の素子分離を用いることは非常に有効である。

【0063】

すなわち、固体撮像装置を微細化するとき、素子分離等の高性能化を目指す低リーク技術を確立する際に、微細トランジスタを作りにくいp-chを排除して、N-chMOSのみで構成し、CMOS並みの低消費電力のためのダイナミックロジック回路を設計するにも、やはりリーク電流の低減は必須となる。微細トランジスタ、nチャネルのみのMOS、低リーク素子分離、ダイナミックロジックは高性能な固体撮像装置を実現するための最短コースにある。

【0064】

本発明は、素子分離部がSTI (Shallow Trench Isolation) になり、リーク電流が増大する0.25 μ 以下のデザインルールにおいて採用することが有効である。

【0065】

図8は、本実施の形態に係る固体撮像装置100の画素セル6における光が入

っていないときの出力と頻度との関係を示すグラフである。

【0066】

横軸は、光が入っていないときの出力を示しており、縦軸は横軸の出力の頻度を表している。曲線 201-1、曲線 201-2 は S T I リークストッパ 1 が形成されていない場合の出力分布頻度を示している。曲線 201-1 は、再生画面上ムラ（不均一）になっているもので図 5 に示す S T I ストレス欠陥層 95 によるものと考えられる。曲線 201-2 は図 5 に示す S T I の大きな欠陥 52, 53 によるものである。

【0067】

S T I リークストッパ 1 が形成されていると、曲線 202-1 に示すように、リーク電流が曲線 201-1 よりも低減されるものと考えられる。曲線 201-1 とほぼ同じ位置に曲線 202-2 が見られるが、曲線 201-1 が残ったものが見られるのか、S T I リークストッパ 1 による新しい結果によるものかは不明である。S T I リークストッパ 1 を導入したもののでも曲線 201-2 に示すように大きな出力の欠陥は残っている。これは S T I リークストッパ 1 の本来の目的からしても抑えることができないので当然である。この図 8 に示すデータは、S T I リークストッパ 1 のピークの不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ のもので、この不純物濃度を $5 \times 10^{18} \text{ cm}^{-3}$ まで増加すると、曲線 202-2 が消滅する。S T I リークストッパ 1 の濃度が $1 \times 10^{17} \text{ cm}^{-3}$ のもので曲線 202-2 が残留していても曲線 201-2 と同様に数が少ないのでデジタルスチルカメラのシステムによって補正することができるため大きな問題はない。S T I リークストッパ 1 の不純物濃度として $1 \times 10^{17} \text{ cm}^{-3}$ 程度を用いるか、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上を用いるかはユーザの仕様による。

【0068】

図 9 は、本実施の形態に係る固体撮像装置 100 の製造方法において、S T I リークストッパ 1 を形成するためにイオンを注入する工程を説明するための模式断面図である。

【0069】

まず、フォトダイオード 3 と転送トランジスタ 4 とを分離するために半導体基

板 7 を掘り込んで溝を形成する。そして、形成した溝の側壁と底面とを囲むように S T I リークストッパ 1 を形成するために、図 9 に示すように、半導体基板 7 の表面に対して斜め方向に沿って溝にイオンを注入する。

【0070】

次に、S T I によって形成された素子分離部 2 を溝に形成する。その後、フォトダイオード 3 を半導体基板 7 に形成する。そして、素子分離部 2 によってフォトダイオード 3 と分離されるように転送トランジスタ 4 を半導体基板 7 に形成する。

【0071】

溝に注入されるイオン種は半導体基板 7 と同一導電型である。このようなイオン注入を行えば、溝の側壁のみではなく溝の底面にも同時に S T I リークストッパ 1 は導入されることは当然である。イオン注入の角度からすると、S T I の底面にはいる S T I リークストッパのほうが一般に深い。

【0072】

【発明の効果】

以上のように本発明によれば、再生画面上のムラの小さい高性能な固体撮像装置およびその製造方法を提供することができる。

【図面の簡単な説明】

【図 1】

本実施の形態に係る固体撮像装置の構成を示す回路図

【図 2】

本実施の形態に係る固体撮像装置の画素セルに設けられたフォトダイオードと転送トランジスタとの構成を説明するための平面図

【図 3】

図 2 に示す面 A A に沿った断面図

【図 4】

本実施の形態に係る固体撮像装置の画素セルに設けられた素子分離部と S T I リークストッパーの構成を説明するための断面図

【図 5】

図 4 に示される面 X Y に沿った欠陥密度を示すグラフ

【図 6】

本実施の形態に係る固体撮像装置の画素セルに設けられた素子分離部と S T I リークストッパーとフォトダイオードとの構成を説明するための模式図

【図 7】

本実施の形態に係る固体撮像装置に設けられた N M O S トランジスタによって構成される N M O S ダイナミックロジック回路を示す回路図

【図 8】

本実施の形態に係る固体撮像装置の画素セルにおける光が入っていないときの出力と頻度との関係を示すグラフ

【図 9】

本実施の形態に係る固体撮像装置の製造方法において、S T I リークストッパを形成するためにイオンを注入する工程を説明するための模式断面図

【図 10】

従来の固体撮像装置の構成を示す回路図

【図 11】

従来の固体撮像装置の動作を説明するためのタイミングチャート

【図 12】

従来の固体撮像装置の画素セルに設けられたフォトダイオードと転送トランジスタとの構成を説明するための平面図

【図 13】

図 12 に示される面 P P に沿った断面図

【図 14】

従来の固体撮像装置の画素セルに設けられた素子分離部の構成を説明するための断面図

【図 15】

図 14 に示される面 X Y に沿った欠陥密度を示すグラフ

【図 16】

従来の固体撮像装置の画素セルに設けられた素子分離部とフォトダイオードと

の構成を説明するための模式図

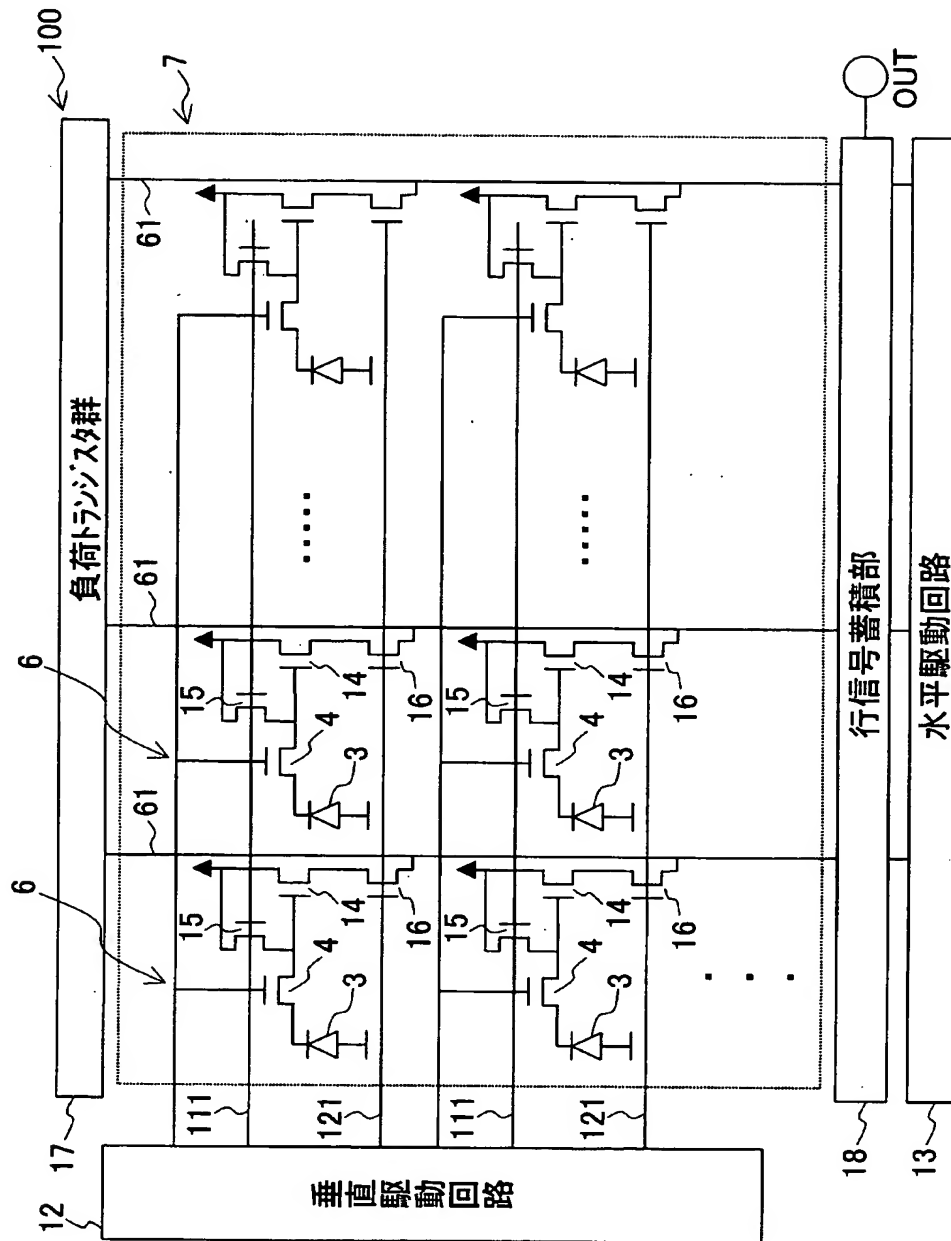
【符号の説明】

- 1 STIリークストッパー
- 2 素子分離部
- 3 フォトダイオード
- 4 転送トランジスタ
- 5 ソースドレイン領域
- 6 画素セル
- 7 半導体基板
- 8 p+層
- 9 n層
- 10 p層
- 12 垂直駆動回路
- 13 水平駆動回路
- 14 増幅トランジスタ
- 15 リセットトランジスタ
- 16 垂直選択トランジスタ
- 17 負荷トランジスタ群
- 18 行信号蓄積部

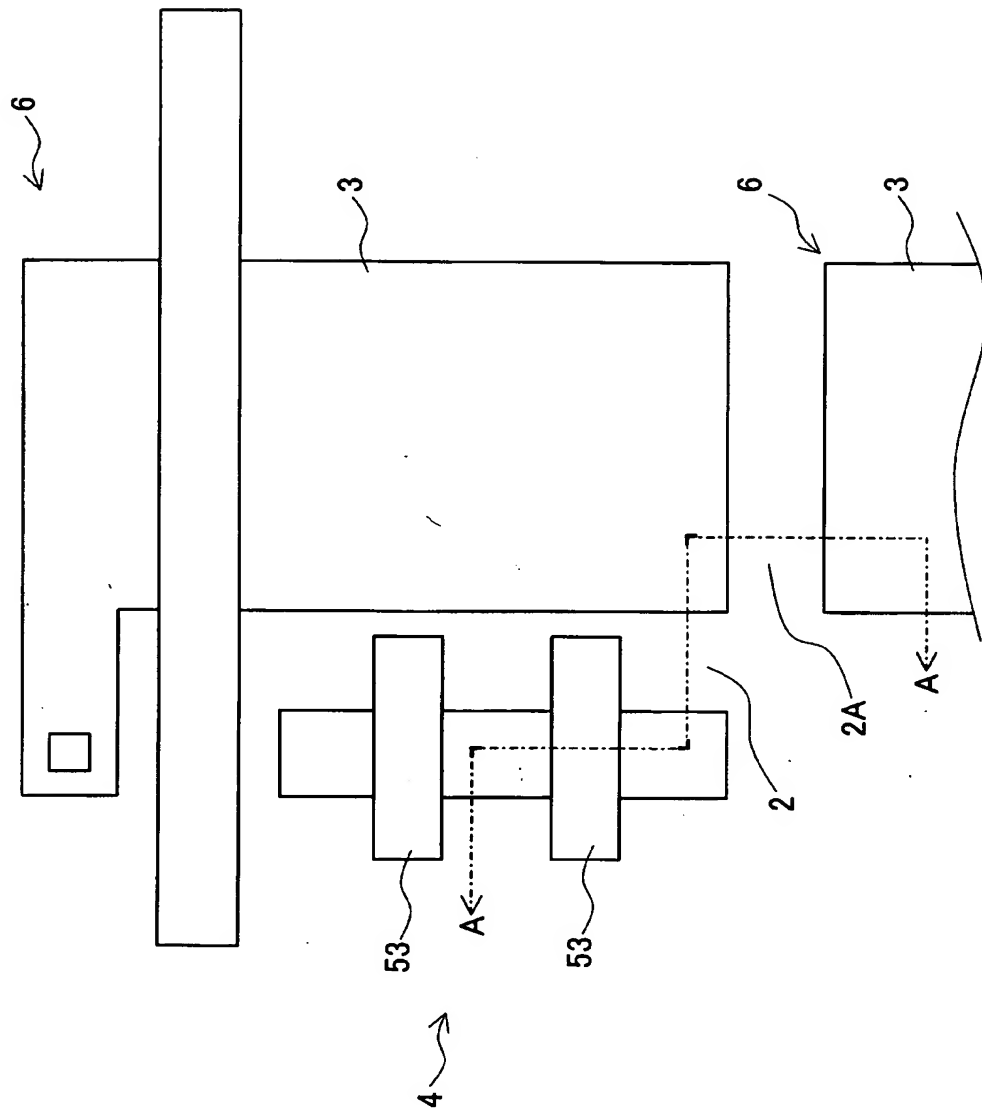
【書類名】

凶面

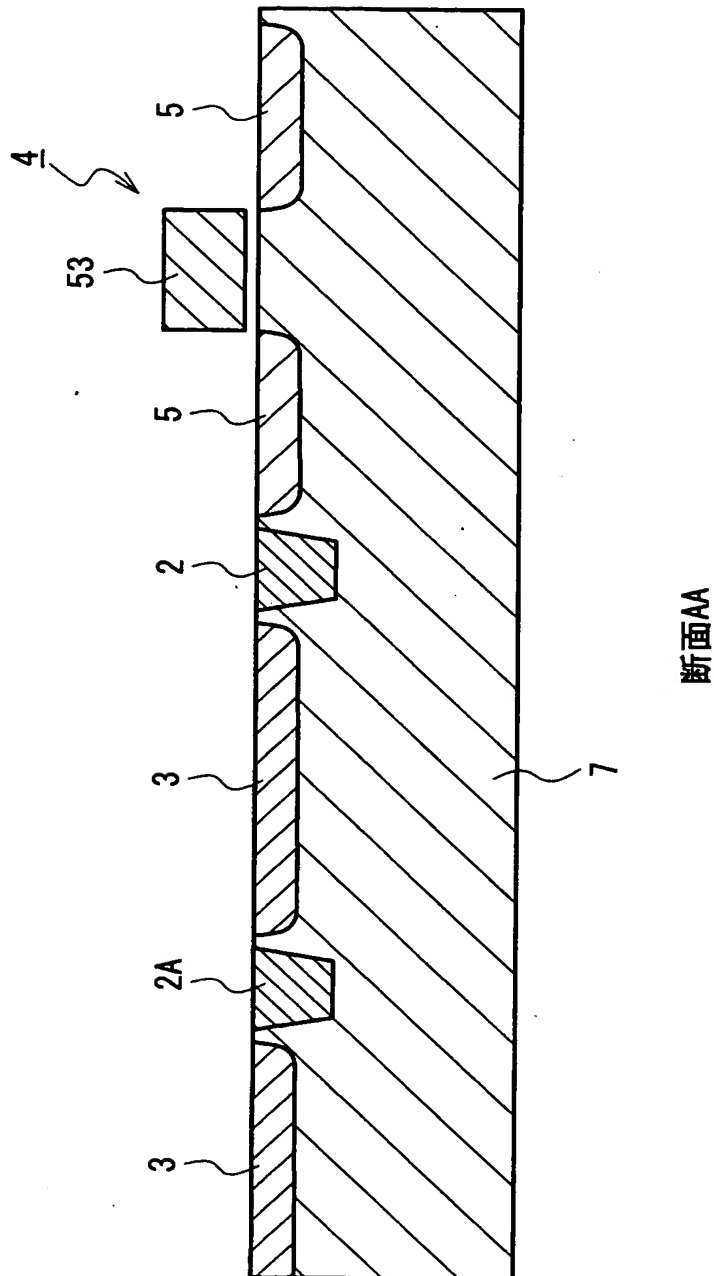
【図 1】



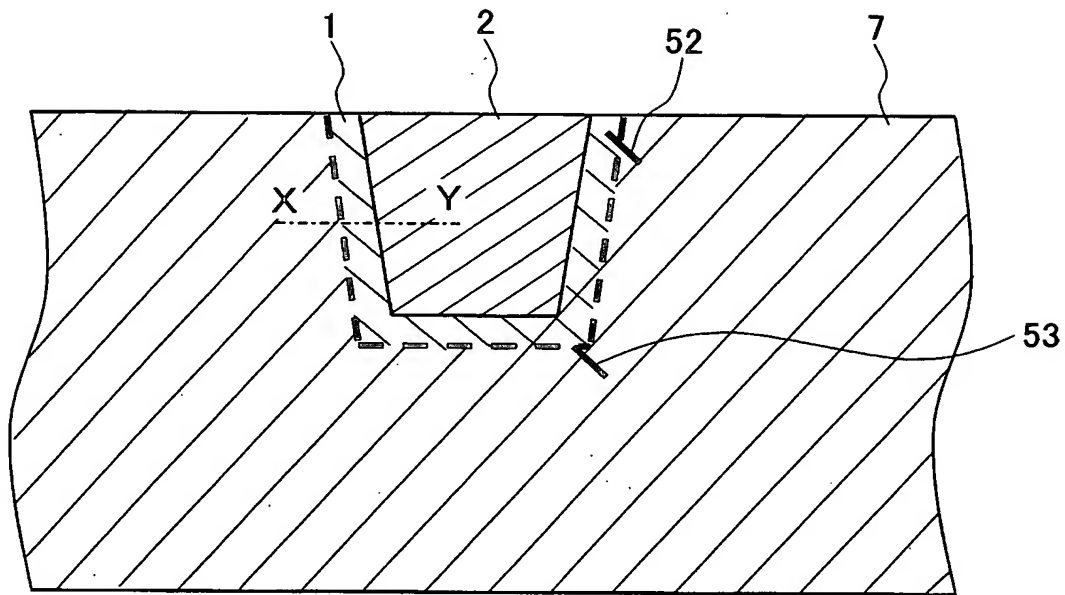
【図 2】



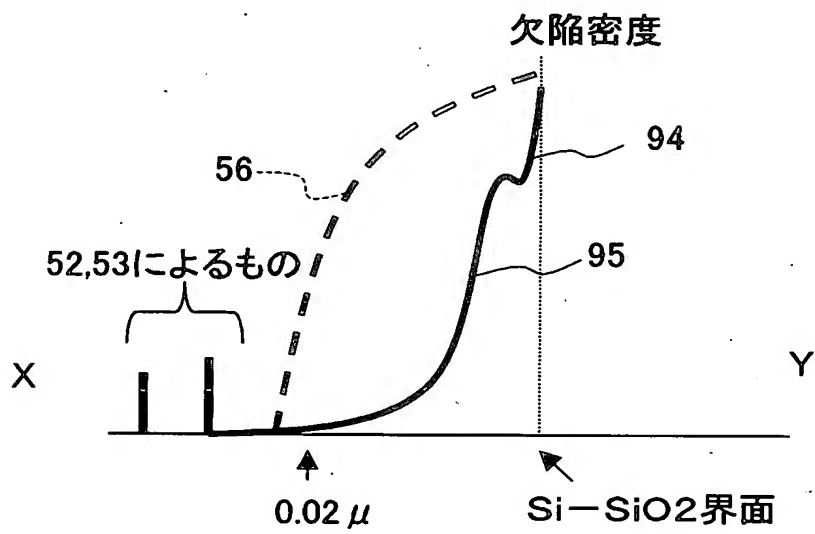
【図 3】



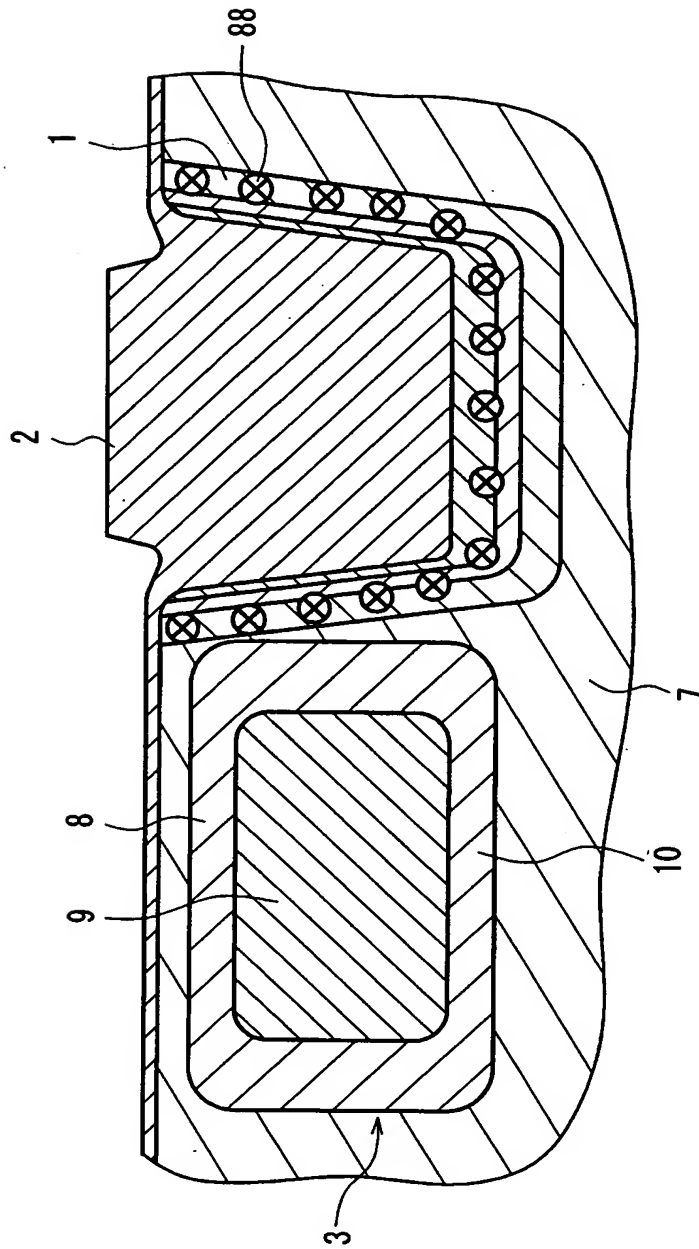
【図 4】



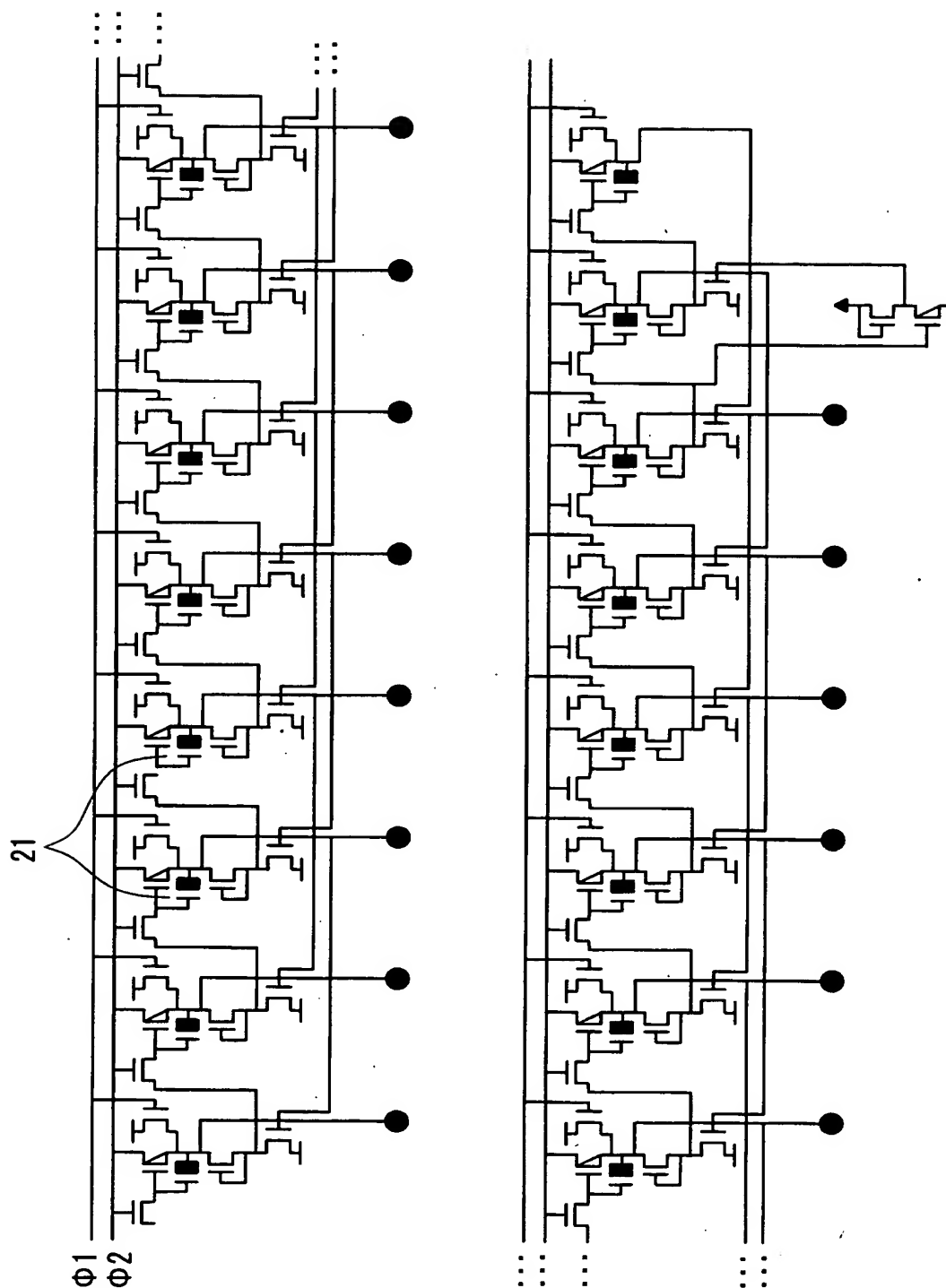
【図 5】



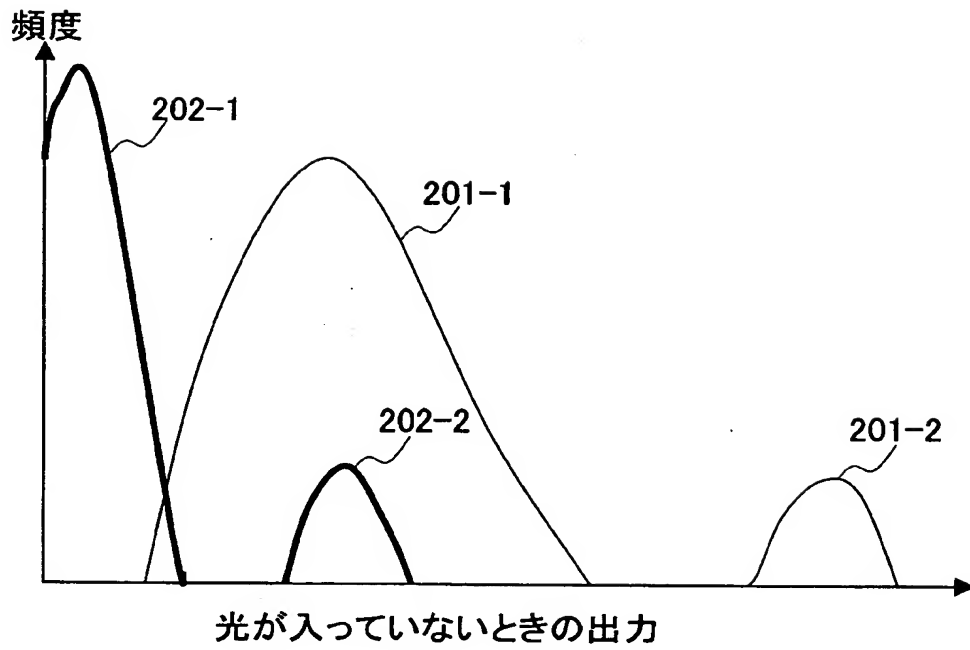
【図 6】



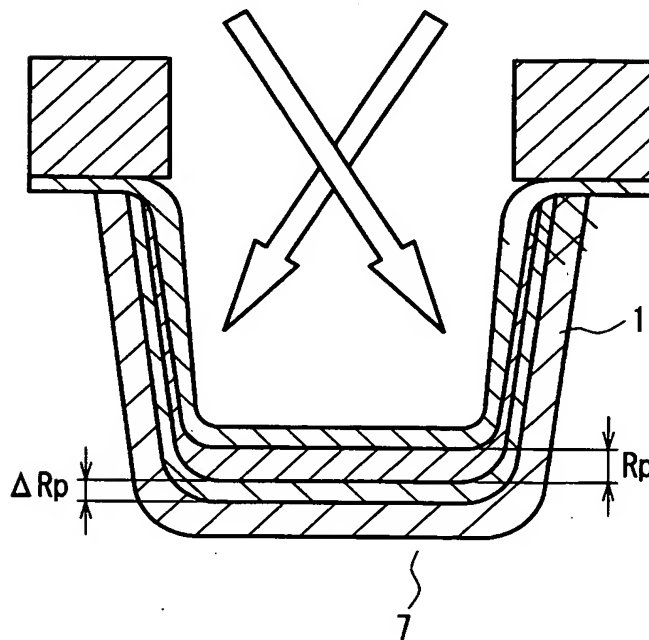
【図 7】



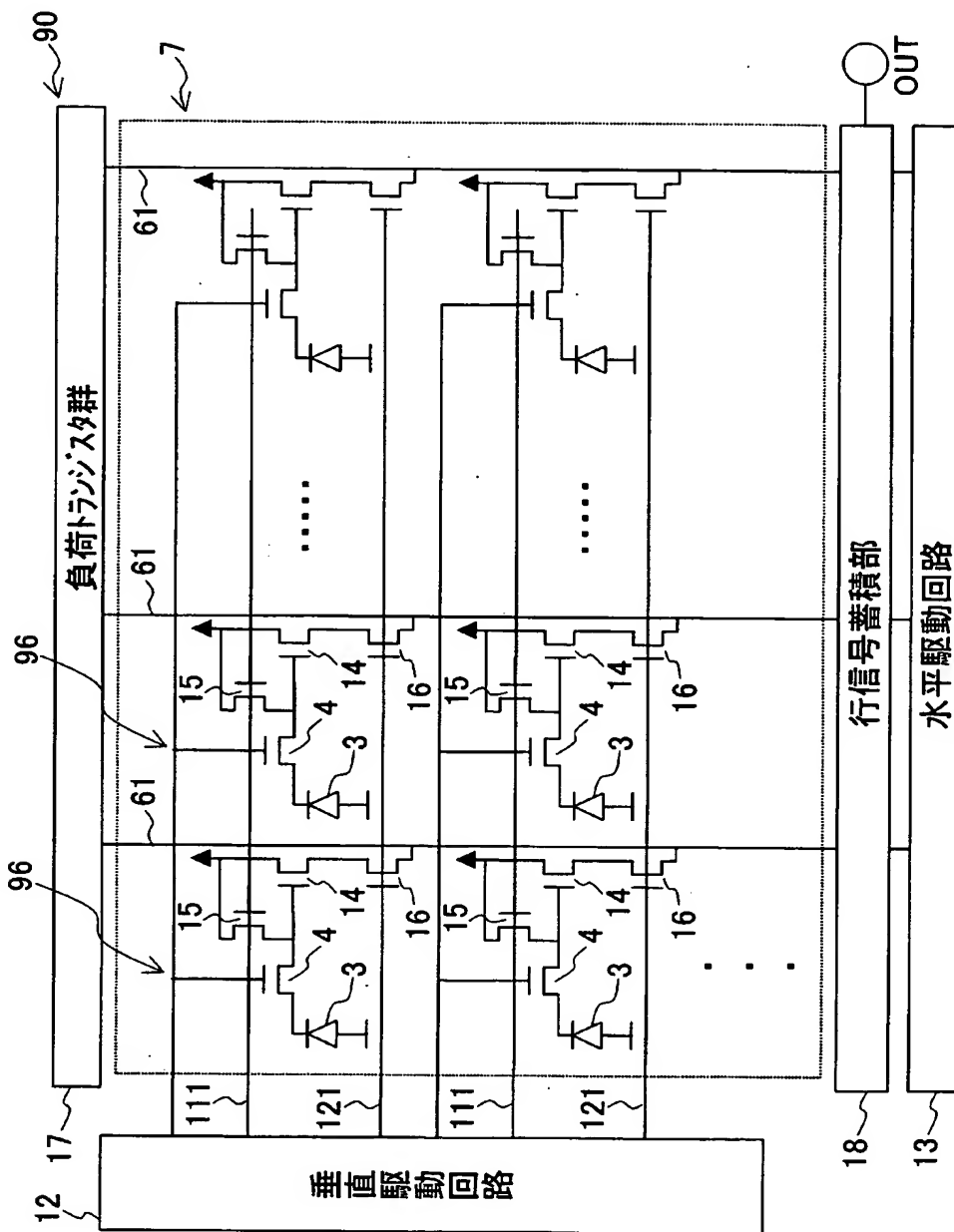
【図 8】



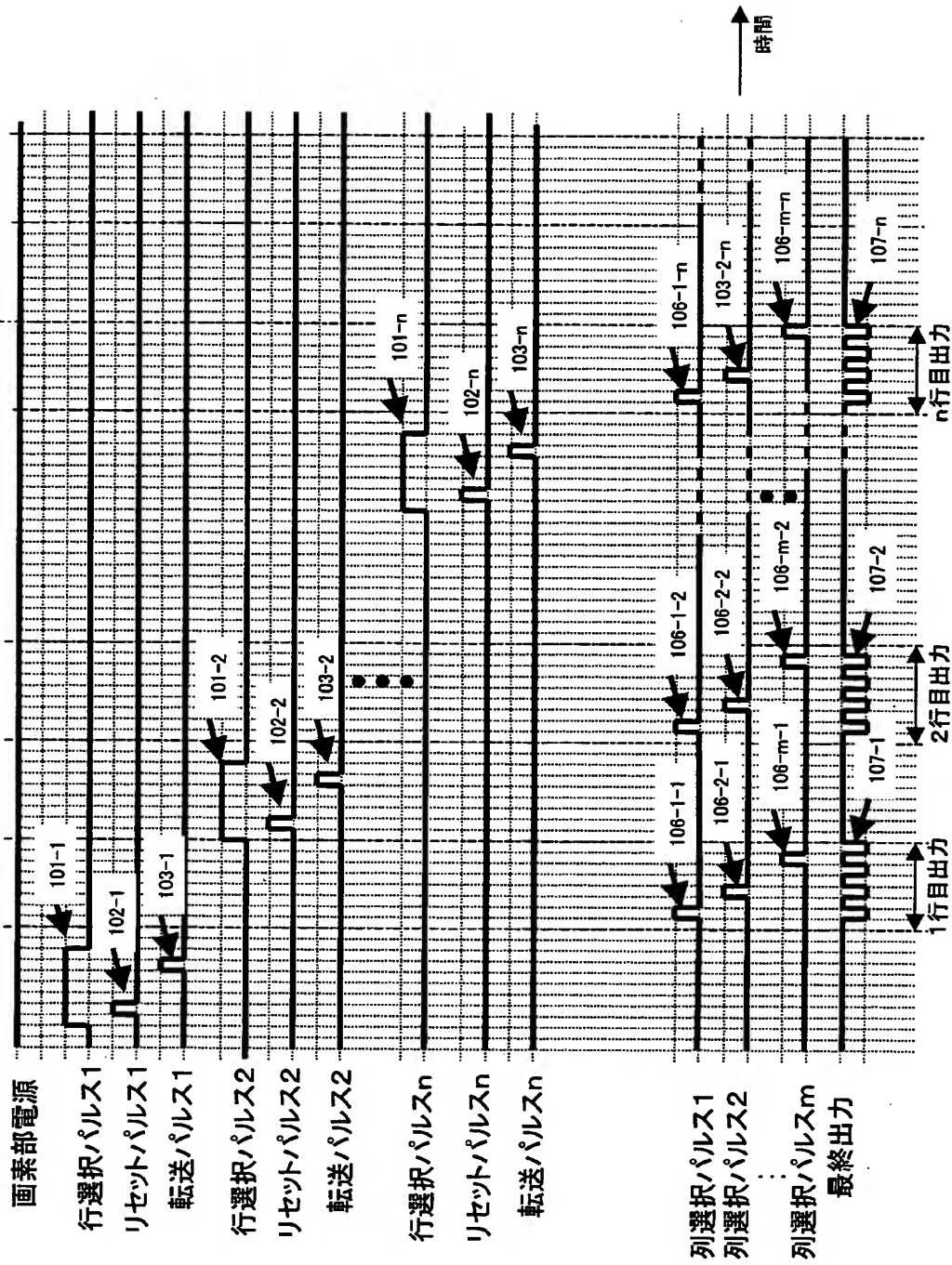
【図 9】



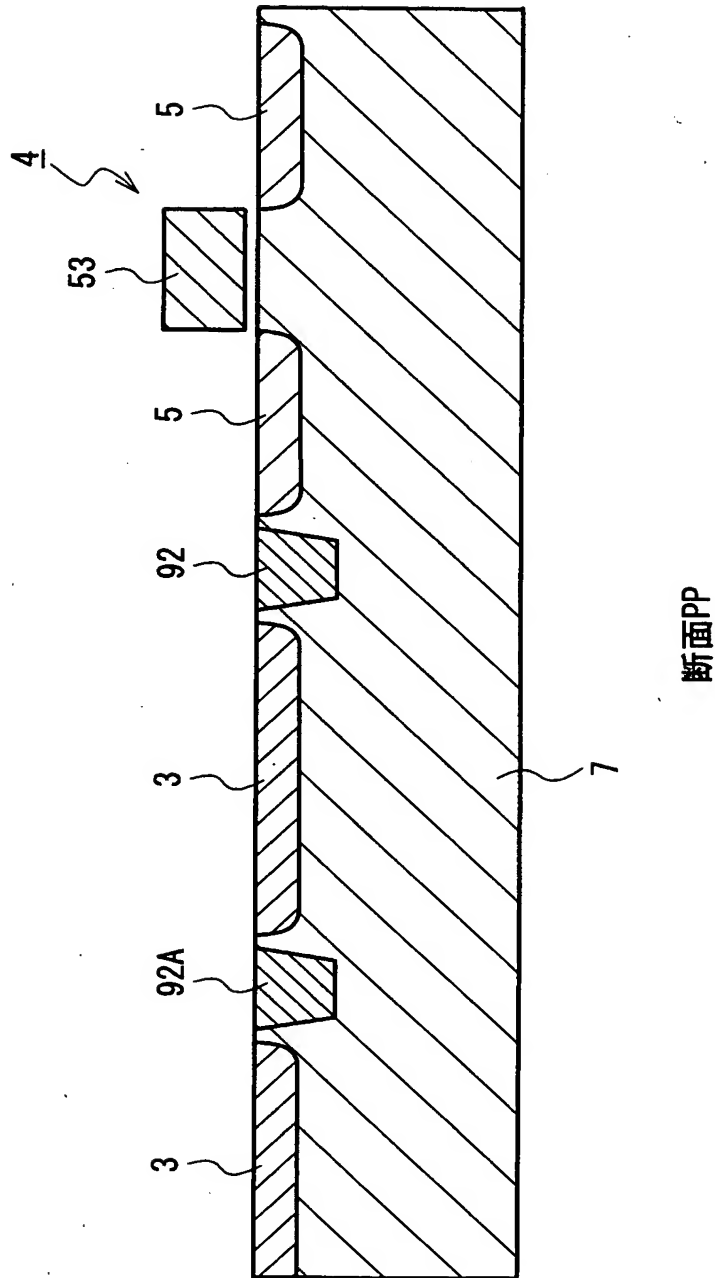
【図10】



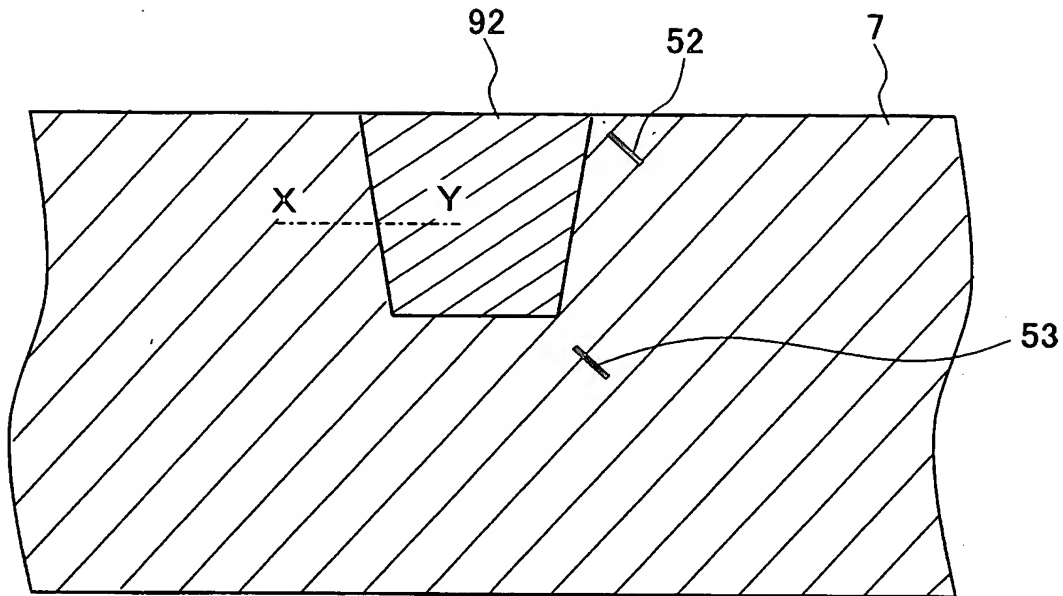
【図 11】



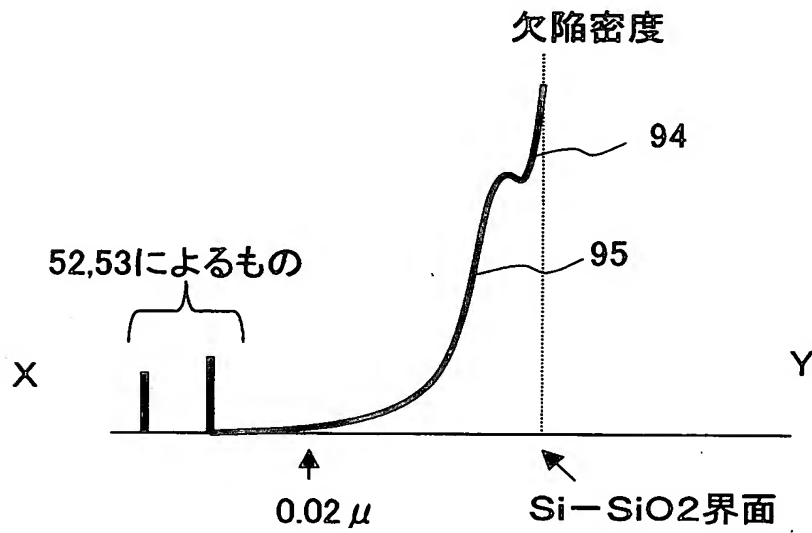
【図 13】



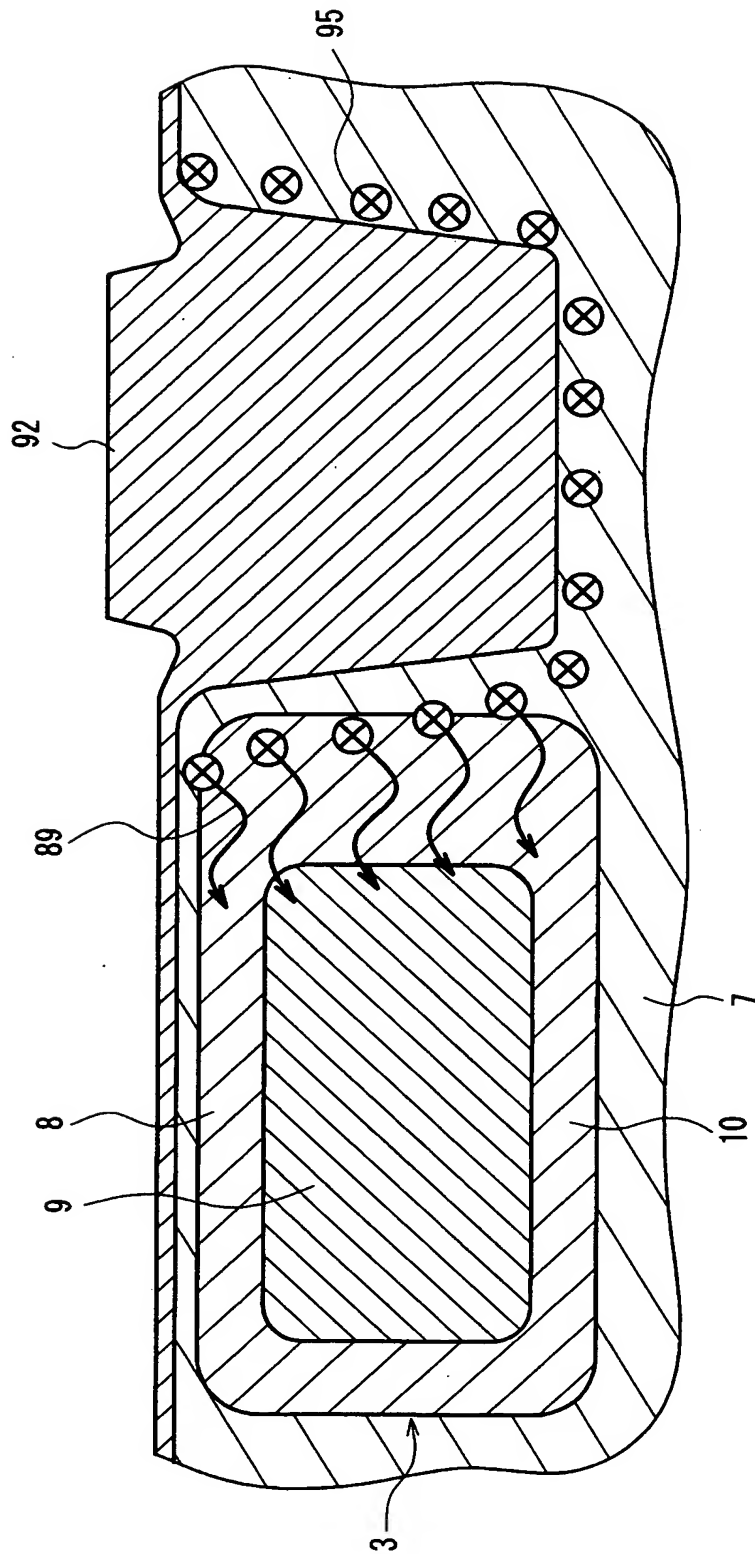
【図14】



【図15】



【図 16】



【書類名】 要約書

【要約】

【課題】 再生画面上のムラの小さい高性能な固体撮像装置を提供する。

【解決手段】 固体撮像装置は、半導体基板にマトリックス状に配置された複数の画素セルと、各画素セルを駆動するために設けられた駆動手段とを具備しており、各画素セルは、フォトダイオードとMOSトランジスタと、フォトダイオードとMOSトランジスタとを分離するように半導体基板を掘り込んだSTI (Shallow Trench Isolation) によって形成された素子分離部2とを含んでおり、半導体基板7には、MOSトランジスタにおけるソースドレイン領域の導電型と反対の導電型の不純物が導入されているSTIリークストッパ1が素子分離部2の側壁と底面とを囲むように形成されている。

【選択図】 図4

【書類名】 手続補正書

【整理番号】 2925540022

【提出日】 平成15年 3月13日

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2003- 44817

【補正をする者】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 110000040

【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

【代表者】 池内 寛幸

【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 発明者

【補正方法】 追加

【補正の内容】

【発明者】

【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内

【氏名】 太田 宗吾

【発明者】

【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内

【氏名】 内田 幹也

【発明者】

【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内

【氏名】 松長 誠之

【プルーフの要否】 要

特願 2 0 0 3 - 0 4 4 8 1 7

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社